



(43) 国際公開日
2005 年 8 月 4 日 (04.08.2005)

PCT

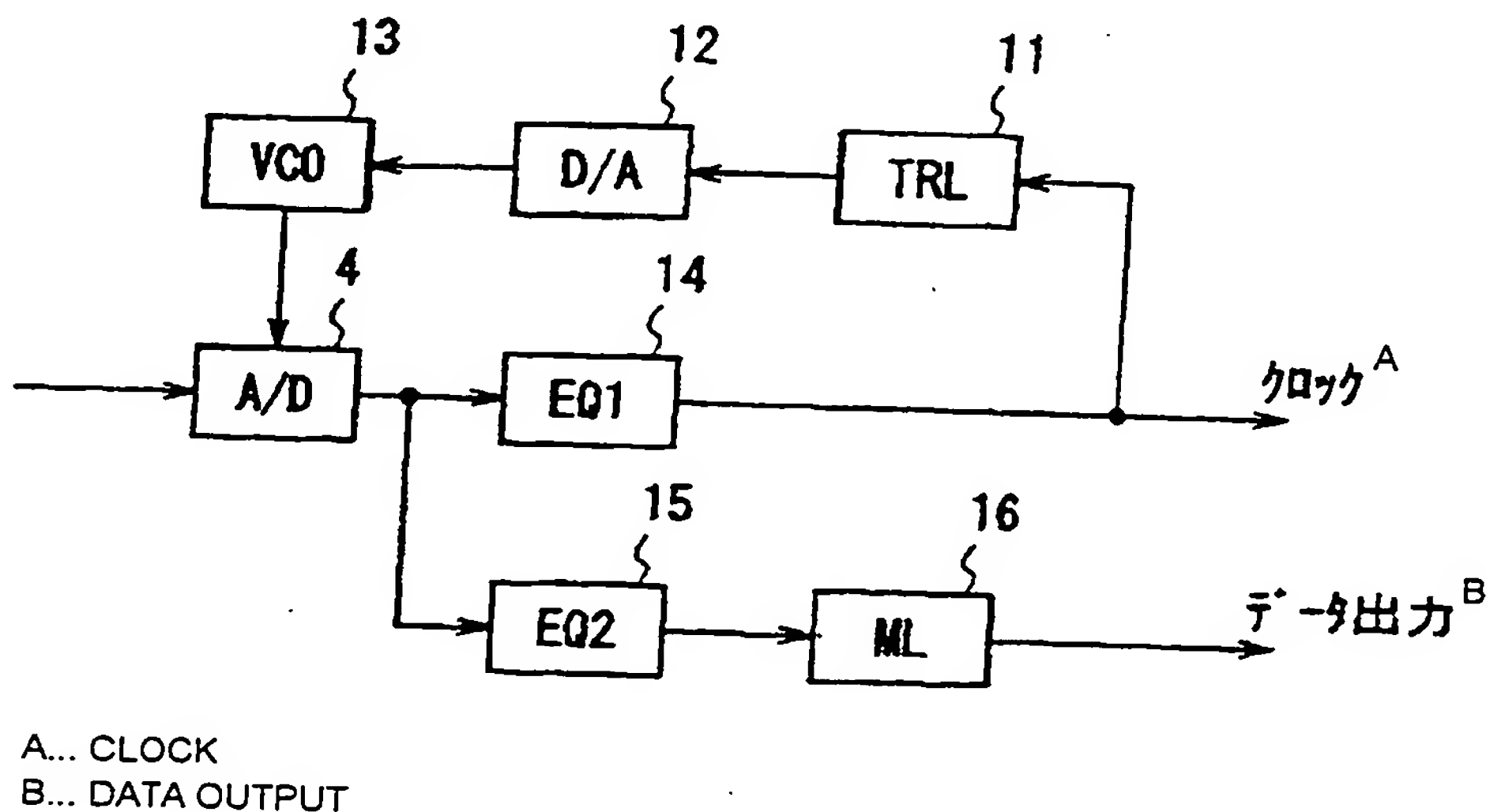
(10) 国際公開番号
WO 2005/071680 A1

- | | | |
|---|-----------------------------|--|
| (51) 国際特許分類 ⁷⁾ :
20/10, H04L 25/497, 7/033. | G11B 20/14, | (72) 発明者; および |
| (21) 国際出願番号: | PCT/JP2005/000086 | (75) 発明者/出願人 (米国についてのみ): 毛利 浩喜
(MOURI, Hiroki). 山本 明 (YAMAMOTO, Akira). |
| (22) 国際出願日: | 2005 年 1 月 6 日 (06.01.2005) | (74) 代理人: 早瀬 憲一 (HAYASE, Kenichi); 〒5320003 大
阪府大阪市淀川区宮原 3 丁目 4 番 30 号 ニッセイ
新大阪ビル 13 階 早瀬特許事務所 Osaka (JP). |
| (25) 国際出願の言語: | 日本語 | (81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NL, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ:
特願2004-015926 2004 年 1 月 23 日 (23.01.2004) JP | | |
| (71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大
字門真 1006 番地 Osaka (JP). | | |

〔統葉有〕

(54) Title: SIGNAL PROCESSING DEVICE AND SIGNAL PROCESSING METHOD

(54) 発明の名称: 信号処理装置、及び信号処理方法



A... CLOCK
B... DATA OUTPUT

071680 A1 (57) **Abstract:** There are provided a signal processing device and a signal processing method capable of simultaneously reducing the jitter component and the error ratio. The signal processing device for processing a signal by the PRML method includes: an A/D converter (4) for converting an analog signal into a digital signal; a first waveform equalizer (14) connected to the A/D converter (4), amplifying a particular band of the signal, and optimizing the data of the clock extraction system; a second waveform equalizer (15) connected to the A/D converter (4), amplifying a particular band of the signal, and equalizing the waveform so as to optimize the data of the data processing system; a timing recovery logic circuit (11) connected to the first waveform equalizer (14) and extracting the reproduction clock; and a decoder (16) connected to the second waveform equalizer (15) and decoding the data.

(57) 要約: ジッタ成分の低減と、エラー率の低減とを同時に行なうことのできる信号処理装置、及び信号処理方法を提供する。 P R M L方式で信号を処理する信号処理装置において、アナログ信号をディジタル信号に変換するA/D変換器(4)と、A/D変換器(4)に接続され、信号の特定帯域を増幅しクロック抽出系のデータを最適化する第1の波形等化器(14)と、A/D変換器(4)に接続され、信号の特定帯域を増幅するとともに波形等化を行ないデータ処

〔続業有〕



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。